

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-265651
 (43)Date of publication of application : 11.10.1996

(51)Int.CI.

H04N 5/335

(21)Application number : 07-066426
 (22)Date of filing : 24.03.1995

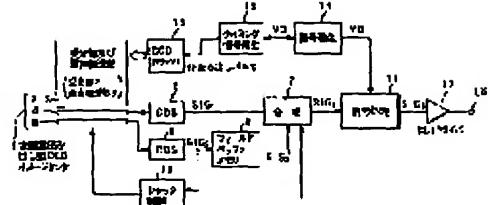
(71)Applicant : SONY CORP
 (72)Inventor : FUKUI HIROSHI

(54) IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To realize the improvement of the S/N by compressing remarkably a level of an output with respect to an incident light so as to obtain a wide dynamic range with respect to the incident light, to easily control a level compression rate and to set a CCD charge in a standard state higher.

CONSTITUTION: A full picture element read CCD image sensor 1 reads two image signals obtained at different signal charge storage times via a vertical transfer section 3 and two horizontal transfer sections 4 and provides an image signal for all picture elements for each field. A shutter control circuit 10 differentiates the signal charge storage time of the full picture element read type CCD image sensor 1. A synthesis circuit 7 synthesizes the two image signals.



LEGAL STATUS

[Date of request for examination] 25.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

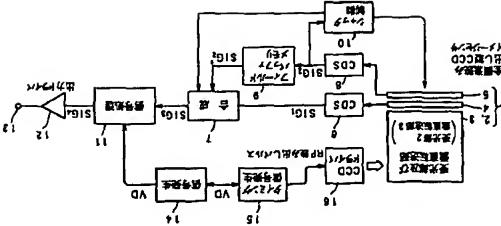
[Date of extinction of right]

(19) 日本国特許庁 (JP)	(12) 公開特許公報 (A)	(11)特許出願公報番号 特開平8-265651
(51) Int.Cl.* H 04 N	機別記号 5/335	内査理番号 F 1 H 04 N 5/335
(43) 公開日 平成8年(1996)10月11日		Q 技術表示箇所
(21) 出願番号 特願平7-66426	(71) 出願人 リニ一株式会社	審査請求 未請求 請求の数4 OL (全10頁)
(22) 出願日 平成7年(1995)3月24日	(72)発明者 鶴井 博 東京都品川区北品川6丁目7番35号	ソニ

(54) [発明の名称] 摄像装置

(57) (便約) [構成] 全画素読み出し型CCDイメージセンサ1は、信号出力端子端子間を異ならせて得た二つの画像信号を垂直転送部3と二つの水平転送部4及び5を介して読み出し、フィールド毎に全画面系の上記画像信号を写出する。シャッタ制御回路10は、全画面読み出し型CCDイメージセンサ1の信号電荷蓄積時間と異ならせる。DVI端子2の画像信号を合成分する。

「効果」 入射光に対するダイナミックレンジを広くすることができる。また、レベル調整率を容易に制御でき、かつ映像制御のCCD電荷量を高めに設定できS/Nの向上を実現する。



(10)

(19) 日本国特許庁 (JP)	(12) 公開特許公報 (A)	(11)特許出願公報番号 特開平8-265651
		(43) 公開日 平成8年(1996)10月11日
(51) InCl_4 H 0 4 N	機別記号 方内整理番号 5/335	F 1 H 0 4 N 5/335 Q
		特許請求 未請求 請求項の数4 O.L. (全10頁)
(21) 出願番号 特願平7-68426	(71) 出願人 000002185 ソニ－株式会社 東京都品川区北品川6丁目7番35号	
(22) 出願日 平成7年(1995)3月24日	(72) 発明者 福井 博 東京都品川区北品川6丁目7番35号 ソニ－株式会社内	

された正縮図像信号を合成するので、入射光に対する出力のレベル圧縮率を従来に比べて大幅に上昇できる。
【0 0 1 2】 [実施例] 以下、本発明に係る撮像装置のいくつかの実施例について図面を参照しながら説明する。
【0 0 1 3】 先ず、第 1 の実施例は、図 1 に示すよう に、信号電荷蓄積時間と撮影時間とを組ならせて得た二つの画像信号を垂直トライバル 2 と二つの水平トライバル 3 と二つの水平トライバル 4 とを介して読み出しつつ、ファーブル毎に上記画像信号を取出する全画素読み出し型 CCDイメージセンサ 1 と、この全画素読み出し型 CCDイメージセンサ 1 の上記信号電荷蓄積時間と異なるシャッタ制御回路 1 0 と、このシャッタ制御回路 1 0 によって上記信号電荷蓄積時間を組ならせて得た二つの画像信号を合成する合成回路 7 と

【発明の解決しようとする課題】ところで、近年では、ビデオカメラ分野でも高品質の画像が望まれ、重いダイナミックレンジが必要とされるようになり、上記二つを併用する構成によって、より柔軟な画像の出力が可能になっており、また、特殊効果画像の用途なども広がってきた。そこで、本発明は、上記実情に鑑みてなされたものである。

を備えて成る撮像装置である。

【0014】全画面説明出し型CCDイメージセンサ1は、図2に示すように、マトリクス状に受光素子2 aと受光素子2 bを配置し、受光部2を形成している。受光素子2 aは、1フレームを形成するフィールド内の奇数(以下、ODDという)フィールドライン用であり、受光素子2 bは、偶数(以下、EVENという)フィールドライン用である。各受光素子2 a及び2 bは、例えばフォトダイオードからなる。

【0015】受光素子2 a及び2 bが交互に配置された垂直前方には、垂直軸送部3が形成される。この垂直軸送部3には、受光素子2 aからの画像信号を転送するための転送電極V₁と、受光素子2 bからの画像信号を転送するための転送電極V₂と、それを含む側面には計6つの転送電極V₃～V₈が、側面から見たときに逆時計回りの順序で並んで配置される。

光素子 2 が 2 本の数だけ存在している。

[0 0 1 6] また、この全金属読み出し型 CCD イメージセンサ 1 は、水平面画像信号を伝送する 2 本の水平伝送部 4 及び 5 を備える。水平伝送部 4 及び 5 は、受光素子 2 から読み出される ODD フィールドラインの画像信号と、受光素子 2 から読み出される EVEN フィールドラインの画像信号とを 1 / 6 0 秒おきに交互に水平方向に伝送する。

[0 0 1 7] 水平伝送部 4 から伝送された 1 / 6 0 秒おきに交互に変わる ODD フィールドライン又は EVEN フィールドラインの画像信号は、相間二重サンプリング (Correlation double sampling: 以下、CDS といえど) で処理回路 6 に供給され、ノイズ成分が除去される。CDS 处理回路 6 の出力である CD S 画像信号 S 1 G 1 は、合成回路 7 に供給される。

[0 0 1 8] 水平伝送部 5 から伝送された 1 / 6 0 秒おきに交互に変わる ODD フィールドライン又は EVEN フィールドラインの画像信号は、CDS 处理回路 7 に供給され、誤差成分が除去される。CDS 处理回路 8 の出力である CD S 画像信号 S 1 G 2 は、フィールドバッファメモリ 9 及びシャッタ制御回路 10 に供給される。

【0019】シャッタ制御回路10は、全画面読み出し型CCDイメージセンサ1の信号電荷蓄積時間と電子シャッタ機能を用いて制御する。具体的には、シャッタ制御をオフにして標準の電荷蓄積時間による標準画像信号を得、シャッタ制御をオンにして電荷蓄積時間を短縮し圧縮画像信号を得る。このため、CDS処理回路6から出力されるCDS画像信号S1G₁は、標準陽光のODフィールド成分S1G₁と短縮電荷蓄積時間のEVEフィールド成分S1G₂で構成されている。また、CDS処理回路8から出力されるCDS画像信号S1G₃は、標準陽光のEVENフィールド成分S1G₄と短縮電荷蓄積時間のODDフィールド成分S1G₅に分けてられている。

【0020】フィールドバッファモリ9は、CDS処

單回路8の上記CDS画像信号S1G,を後述する書き込み、又は読み込みで書き込み、又は読み出しが可能である。CDS画像信号S1Gとフィールドファメモリ9のバッファであるCDS画像信号S1G₁を合成し、信号処理回路11に合成画像信号S1Gを供給する。

[0021] 合成回路7は、CDS処理回路6の出力でCDS画像信号S1Gとフィールドファメモリ9のバッファであるCDS画像信号S1G₁を合成し、信号処理回路11に合成画像信号S1Gを供給する。

[0022] 信号処理回路11は、信号発生回路1.4からの垂直同期バルスVDと水平同期バルスHDに応じて合成回路7の合成信号S1G₁にエンコーダ処理を施し、映像信号S1G₁を取り出す。信号処理回路1.1の処理出力である映像信号S1G₁は、出力ドライバ1-2を介して出力端子1.3から取出される。

[0023] 信号発生回路1.4の垂直同期バルスVDと水平同期バルスHDは、タイミング信号発生回路1.5に供給される。タイミング信号発生回路1.5は、上記垂直同期バルスVDと水平同期バルスHDに応じて映像読み出し型CCDイメージセンサ1の読み出しバルスRPを生成し、CCDドライバ1-6を介して映像読み出し型CCDイメージセンサ1に供給する。

[0024] 以上が、第1の実施例の基本的な構成である。次に、この第1の実施例の動作について図3を参照しながら説明する。

[0025] 図3において、垂直同期バルス信号VDは、フィールド周波数(NTSC方式では60Hz、PAL方式では50Hzである。)を有するバルス信号であり、信号発生回路1.4から発生され、信号処理回路1.1及びタイミング信号発生回路1.5に供給される。

[0026] 信号処理回路1.1は、上述したように、タイミング信号発生回路1.5により生成され、CCDドライバ1-6を介して全画面読み出し型CCDイメージセンサ1に供給される。

[0027] シャッターコントロールバルスは、シャッターコントロールバルス1.0により生成される。このシャッターコントロールバルスは、全画面読み出し型CCDイメージセンサ1に供給される。

号 $S_1 G_{10}$ と $S_1 G_{11}$ 及び $S_1 G_{12}$ と $S_1 G_{13}$ を得る。このシャッタ制御回路 1.0 は、図 4 に示すように、入力端子 2.0 から供給される上記画像信号 $I_1 G_1$ を增幅器 2.1 で増幅し、整流回路 2.2 で整流してからバッファ 2.3 を介して、演算増幅器 2.4 の負端子に供給される。この演算増幅器 2.5 の負端子 2.6 には、図 5 の (C) に示すような信号が供給される。このシャッタ制御回路 2.0 は、可変電位計 2.7 は、演算増幅器 2.4 の負端子に供給される。この演算増幅器 2.5 の正端子には、可変電位計 2.7 は、シグナルスケート信号を出力する。図 5 の (B) に示すシャッターバルスゲート信号と図 5 の (E) に示すシャッターバルスとの AND ノードをとり、図 5 の (E) に示すシャッターコントロールバルス $X-SUB$ を生成し、出力端子 2.9 から、全画素読み出し型 CCD メモリセンサ子 2.8 に自動供給する。このようにすれば、入射光に応じて曝光光を自動制御することができる。このシャッタ制御回路 1.0 は、演算増光に対して約 200 倍の入射光までの情報を圧縮する。一方、時間 t において、信号電荷蓄積回路が短縮されず曝光時間 T 、で曝露光が光された $C D S$ 画像信号 $S_1 G_1$ の ODD フィールド成分 $S_1 G_{10}$ と $S_1 G_{11}$ は、図 3 に示すように、オーディオフィールド成分 $S_1 G_{12}$ と $S_1 G_{13}$ は、実時間間に反対して、 $1/6$ 秒だけ逆送する。

(10.2.8) 一方、時間 t において、信号電荷蓄積回路が短縮されず曝光時間 T 、で曝露光が光された $C D S$ 画像信号 $S_1 G_1$ の ODD フィールド成分 $S_1 G_{10}$ と $S_1 G_{11}$ 及び $C D S$ 画像信号 $S_1 G_1$ の EVEN フィールド成分 $S_1 G_{12}$ は、図 3 に示すように、制限のない曝露光の $S_1 G_{13}$ は、このスルーバイオード信号 $S_1 G_{14}$ 及びスルーバイオード信号 $S_1 G_{15}$ が得られる。このシャッタ制御回路 1.0 は、マイクロコンピュータによって制御される。また、このシャッタ制御回路 1.0 は、垂直同期バルス $VS-D$ を示しておくる。また、このシャッタ制御回路 1.0 は、マイクロコンピュータによって制御される。

[0 3 6] 次に、図 7 に示す信号比較合成タイプについて図 10 の波形図を参照しながら説明する。逆光時の人像など、同一画面内に大きく異なる 2つの入射光レベルがある時は、このタイプが適している。標準信号で得た画像信号 S 1 G₁は、端端器 3 2を介して、トランジスタ Q₁₁及び Q₁₂で構成される NAM 回路に供給される。この NAM 回路でホワイトクリップされた画像信号と、入射高輝度信号 S 1 G₁は、トランジスタ Q₁₃及び Q₁₄で構成された NAM 回路で比較される。この NAM 回路は、大きい方のレベルを出力するように設計されているので、合成信号 S 1 G₁のホワイトクリップ区間では画像信号 S 1 G₁を出力する。そして、信号比較合成タイプでは、合成画像信号 S 1 G₁を出力する。

[0 3 7] 次に、図 8 に示す信号区間切り替えタイプについて図 11 の波形図を参照しながら説明する。標準信号で得た画像信号 S 1 G₁は、端端器 3 4を介してコンバーティ 3 6に供給される。コンバーティ 3 6は、切り替えレベルの DC 电压と画像信号 S 1 G₁とから信号切り替えるバルスを生成する。この信号切り替えるバルスは、切り替えるバルス 3 7の切り替え時間内に用いる結果を

切り替わる。このとき、CCDイメージセンサ 4 が、入射光強度が弱い時に応じてシャッタータイムによる露光量を 1/4 にと、入射光強度が強いために応じて露光量を 1/1 にと切り替える。このとき、CCDイメージセンサ 4 が得た画像信号 S1 G₁ を切り替えて、圧縮信号を得る。

【0 3 8】また、合成回路 7 では、シャッタによる圧縮をかける。このとき、CCDイメージセンサ 4 が得た画像信号 S1 G₁ と、入射光強度が弱い時に応じて露光量を 1/4 にした画像信号 S1 G₁' を切り替えて、圧縮信号を得る。

【0 3 9】以上のよう、第 1 の実施例の撮像装置は、シャッタ駆動回路 1 0により、少なくとも二つの画像を分けた後、二一回路のこのような通常の信号レベル圧縮を通過して、より最適な圧縮をかける方法もある。

【0 3 10】以上のよう、第 1 の実施例の撮像装置は、シャッタ駆動回路 1 0により、少なくとも二つの画像を分けることができる全画素読み出し型 CCDイメージセンサ 1 と、上記二つの画像を合成する合成回路 7 を備えているため、図 12 の (A) に示すように 1/6 0 秒の電子シャッタ制御により直接 1.0 倍光量の情報を標準的に合成することができ、図 12 の (A) に示すように入射光を映像信号に変換した後、出力 1.0 0 % (爆発光) を大きく越えた CCD 領域レベルの映像信号を出力 1.2 0 % まで信号処理により圧縮していた従来方法に比べ、入射光に対する出力のレベルを大幅に圧縮しダイナミックレンジを広くできると共に、圧縮率を容易に制御でき、かつ標準時の CCD 電荷量を高めに設定でき、S/N の向上を図ることができる。

【0 3 11】次に、第 2 の実施例は、図 13 に示すように被写体に対する画像情報を有する入射光を二つに分ける分光器 4 1 と、この分光器 4 1 からの分光の一方から標準画像信号を得る CCDイメージセンサ 4 2 と、分光器 4 1 が得た信号の他方に対してシャッタ駆動回路 4 7 による電子シャッタ駆動に応じた信号供給部と時計駆動部により処理を施して圧縮画像信号を出力する CCDイメージセンサ 4 3 と、この CCDイメージセンサ 4 2 及び 4 3 が

を偏えてなる。

【0041】分光器4.1によって分けられた一方の分光L₁は、CCDイメージセンサ4.2に供給される。CCDイメージセンサ4.2は、1ファールド毎に画像信号を出力するような構造の汎用型のCCDであるので詳しい説明を省略する。CCDイメージセンサ4.2で得られた画像信号は、CDS処理回路4.4に供給され、スマート等の誤差が除去される。CDS処理回路4.4の出力信号であるCCDS画像信号S1G₁は、合成功回路4.6に供給される。

【0042】分光器4.1によって分けられた他の光L₂は、CCDイメージセンサ4.3に供給される。CCDイメージセンサ4.3も1ファールド毎に画像信号を出力するような構造の汎用型のCCDであるので説明を省略する。ただし、このCCDイメージセンサ4.3は、後述するシャッタ制御回路4.7により、信号電荷抑制時間が制御される。このCCDイメージセンサ4.3で得られた画像信号は、CDS処理回路4.5に供給され、ノイズ成分が除去される。CDS処理回路4.5の出力信号であるCCDS画像信号S1G₂は、合成功回路4.6に供給される。

（0043）合成功路4.6は、CDS処理回路4.4からCDS画像信号S1Gと、CDS処理回路4.5からCDS画像信号S1Gとを合成し、信号処理回路4.8に合成画像信号S1Gを供給する。

（0044）信号処理回路4.8は、信号発生回路5.1からその垂直同期バルスVDと水平同期バルスHDに応じて合成功路4.6の合成信号S1Gにエンコーダ処理を施し、映像信号S1Gを取り出す。信号処理回路4.8の処理出力である映像信号S1Gは、出力ドライバー4.9を介して出力端子5.0から導出される。

（0045）信号発生回路5.1の垂直同期バルスVDと水平同期バルスHDは、タイミングシングル発生回路5.2は、上記垂直同期バルスVDと水平同期バルスHDからCCDイメージセンサ4.2及び4.3の読み出しバルスRPを生成し、CCDドライバ5.3及び5.4を介して該CCDイメージセンサ4.2及び4.3に供給する。

（0046）ここで、シャッタ制御回路4.7は、CCDイメージセンサ4.3の信号電荷蓄積時間と電子シャッタ機能を用いて制御する。実際には、シャッタ制御回路4.7は、シャッターコントロールバルスを生成し、CCDイメージセンサ4.3に供給する。このため、CCDイメージセンサ4.3は、信号電荷蓄積時間が短縮された正常信号電荷S1Gを得ることができる。このシャッタ制御回路4.7は、基本的に上記回路4.4に示した構成と同様であるので、説明を省略する。また、合成功路4.8の端子も上述した合成功路7と同様であるので、説明を省略する。

[0047] 以上が、第2の実施例の構成である。次に、この第2の実施例の動作について図14を参照しながら説明する。

[0048] 図14において、垂直同期パルス信号VDDは、フィールド周波数(NTSC方式では60Hz、PAL方式では50Hzである。)を有するパルス信号である。読み出しパルスRPは、上述したように、タイミング信号S5と2より生成され、CCDドライバ5及び4を介してCCDイメージセンサ4及び2と並行してCCD処理回路4から出力される。

[0049] CDS処理回路4から出力される画像信号S1G₁及びS1G₂は、実時間に対して、1/6秒だけ遅延する。

[0050] シャッターコントロールパルスは、シャッタ制御回路4/7により生成される。このシャッターコントロールパルスは、CCDイメージセンサ4/3に入射する光に応じて、信号電荷蓄積時間を自動調整する。シャッタ制御回路4/7からシャッターコントロールパルスが送出されると、露光時間はT₁となる。この露光時間T₁で、CCDイメージセンサ4/3から読み出され、CDS処理回路4/5を介して出力される画像信号S1G₁は、図14に示すように高輝度部が正縮されたODDフィールドの画像信号S1G₁及び低輝度部が圧縮された EVENフィールドの画像信号S1G₂となる。ここで、画像信号S1G₁及びS1G₂も、実時間に対して、1/6秒だけ遅延する。

[0051] CDS処理回路4/6で合成され、図14に示すように、ODDフィールドの合成画像信号S1G₁とEVENフィールドの合成画像信号S1G₂からなるダイナミックレンジの広げられた合成画像信号S1G₃は、合成回路4/7により生成され、図14に示すように、ODDフィールドの合成画像信号S1G₃とEVENフィールドの合成画像信号S1G₃からなるダイナミックレンジの広げられた合成画像信号S1G₄とされる。このダイナミックレンジの広げられた合成画像信号S1G₄は、信号処理回路4/8によるエンコード処理が施され、ダイナミックレンジの広い画像信号S1G₄が出力ドライバ1/2を介して出力端子1/3から導出される。

[0052] 以上のように、第2の実施例の撮像装置は、シャッタ制御回路4/7により、CCD4/3の信号電荷蓄積時間が複数された正縮画像信号と、標準露光の画像信号とを合成することによって、入射光に対する出力の大幅な正縮を実現しダイナミックレンジを広くできると共に、正縮を容易に制御でき、かつ標準時のCCD電荷量を簡単に設定できS/Nの向上を実現する。

[0053] また、本発明に係る撮像装置は、入射光を二つに分けて得た分光から標準露光の画像信号と、電子シャッタ制御に応じた正縮画像信号とを併せて、これらの二つの画像信号とを合成するので、入射光に対する出力の大幅な正縮を実現しダイナミックレンジを広くできると共に、正縮を容易に制御でき、かつ標準時のCCD電荷量を簡単に設定できS/Nの向上を実現する。

[0054] 本発明に係る撮像装置の全構造は、上記第1の実施例の撮像装置の第1の実施例の構成と同様である。

[0055] 本発明に係る撮像装置の撮像回路の詳細構成を示す回路図である。

[0056] 図1に示したシャッタ制御回路の動作を説明するためのタイマーである。

[0057] 上記第1の実施例のシャッタ制御回路の詳細構成を示す回路図である。

[0058] 上記第1の実施例のシャッタ制御回路の動作を説明するためのタイマーである。

[0059] 上記第1の実施例の合成回路の信号加算タイプの回路図である。

<、図15に示すような変形例としてもよい。

[0054] この変形例は、第1実施例で用いた全画像読み出し型CCDイメージセンサ1又は第2実施例で用いた画像読み出し型CCDイメージセンサ4/2、4/3からの画像信号に二つのCCD S/D処理回路5/1、5/2でノイズ除去処理を行ったので、該画像信号にフィールドドライバモーラ5/3を用いて出力制限処理を施し、あたかも異なる二つの電荷蓄積時間でCCDイメージセンサから読み出された二つの画像信号を得て、該二つの画像信号にタイミング信号を付して出力する。タイミング信号S1G₁及びS1G₂は、CCDドライバモーラ5/3は、二つの領域5/3a、5/3bからなり、メモリコントローラ5/4によって画像信号の書き込み／読み出し領域が制御される。

[0055] DSP回路5/5から出力された合成画像信号S1G₁及びS1G₂は、実時間に対して、1/6秒だけ遅延する。

[0056] 0057] シャッターコントロールパルスは、シャッタ制御回路4/7により生成される。このシャッターコントロールパルスは、CCDイメージセンサ4/3に入射する光に応じて、信号電荷蓄積時間を自動調整する。シャッタ制御回路4/7からシャッターコントロールパルスが送出されると、露光時間はT₁となる。この露光時間T₁で、CCDイメージセンサ4/3から読み出され、CDS処理回路4/5を介して出力される画像信号S1G₁は、図14に示すように高輝度部が正縮されたODDフィールドの画像信号S1G₁及び低輝度部が圧縮された EVENフィールドの画像信号S1G₂となる。ここで、画像信号S1G₁及びS1G₂も、実時間に対して、1/6秒だけ遅延する。

[0058] CDS処理回路4/6で合成され、図14に示すように、ODDフィールドの合成画像信号S1G₁とEVENフィールドの合成画像信号S1G₂からなるダイナミックレンジの広げられた合成画像信号S1G₃は、信号処理回路4/7により生成され、図14に示すように、ODDフィールドの合成画像信号S1G₃とEVENフィールドの合成画像信号S1G₃からなるダイナミックレンジの広げられた合成画像信号S1G₄とされる。このダイナミックレンジの広げられた合成画像信号S1G₄は、信号処理回路4/8によるエンコード処理が施され、ダイナミックレンジの広い画像信号S1G₄が出力ドライバ1/2を介して出力端子1/3から導出される。

[0059] 以上のように、第2の実施例の撮像装置は、シャッタ制御回路4/7により、CCD4/3の信号電荷蓄積時間が複数された正縮画像信号と、標準露光の画像信号とを合成することによって、入射光に対する出力の大幅な正縮を実現しダイナミックレンジを広くできると共に、正縮を容易に制御でき、かつ標準時のCCD電荷量を簡単に設定できS/Nの向上を実現する。

[0060] また、本発明に係る撮像装置は、入射光を二つに分けて得た分光から標準露光の画像信号と、電子シャッタ制御に応じた正縮画像信号とを併せて、これらの二つの画像信号とを合成するので、入射光に対する出力の大幅な正縮を実現しダイナミックレンジを広くできると共に、正縮を容易に制御でき、かつ標準時のCCD電荷量を簡単に設定できS/Nの向上を実現する。

[0061] 本発明に係る撮像装置の全構造は、上記第1の実施例の撮像装置の第1の実施例の構成と同様である。

[0062] 本発明に係る撮像装置の撮像回路の詳細構成を示す回路図である。

[0063] 上記第1の実施例のシャッタ制御回路の動作を説明するためのタイマーである。

[0064] 上記第1の実施例のシャッタ制御回路の動作を説明するためのタイマーである。

[0065] 上記第1の実施例の合成回路の信号加算タイプの回路図である。

[0054] 上記第1の実施例の合成回路の信号比較合成功能を示すブロック図である。

[0055] 上記第2の実施例の動作を説明するためのタイミングチャートである。

[0056] 上記第1の実施例の合成回路の信号区間切り替えタイプの回路図である。

[0057] 図6に示した信号加算タイプの合成回路の動作を説明するための波形図である。

[0058] 上記第1の実施例の合成回路の動作を説明するための波形図である。

[0059] 図7に示した信号区間切り替えタイプの合成回路の動作を説明するための波形図である。

[0060] 上記第1の実施例の合成回路の効果を説明するための特性図である。

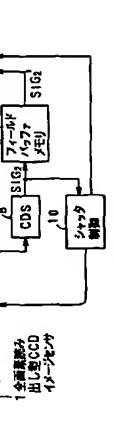
[0061] 上記第2の実施例の合成回路の効果を説明するための特性図である。

[0062] 上記第1の実施例の合成回路の動作を説明するための波形図である。

[0063] 上記第2の実施例の合成回路の動作を説明するための波形図である。

[0064] 上記第1の実施例の合成回路の動作を説明するための波形図である。

[0065] 上記第2の実施例の合成回路の動作を説明するための波形図である。



[図7]

1

全画面読み出し型CCDイメージセンサ

1

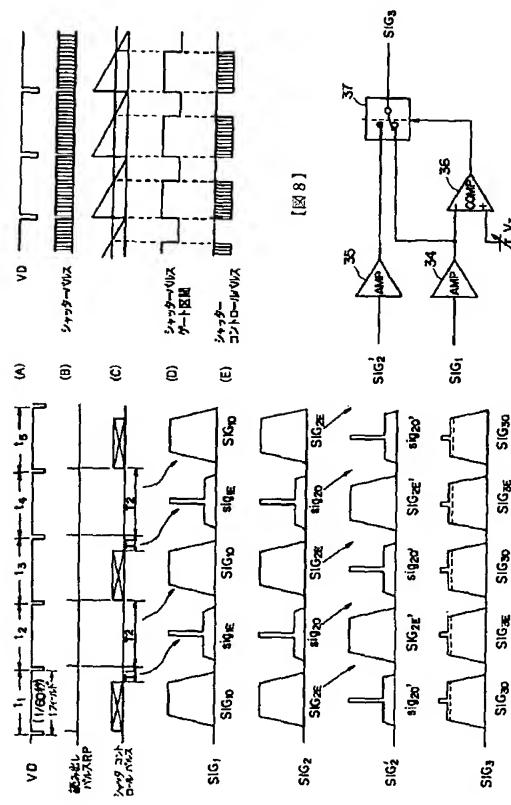
CCDイメージセンサ

1

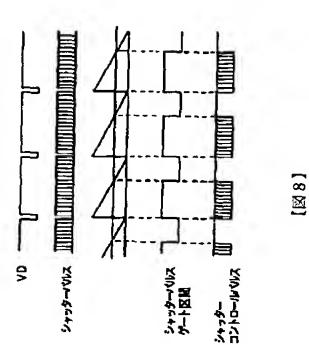
合成回路

1

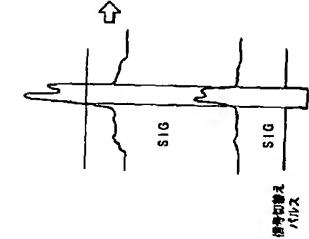
[図3]



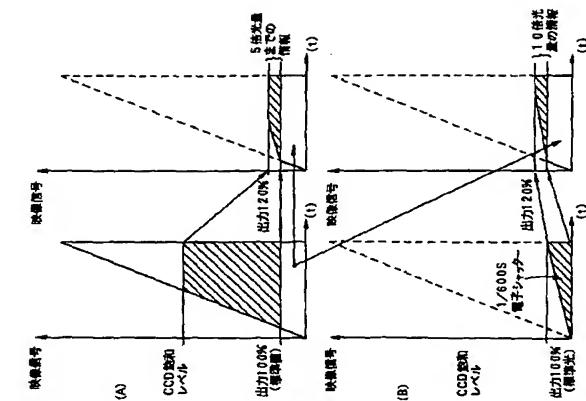
[図5]



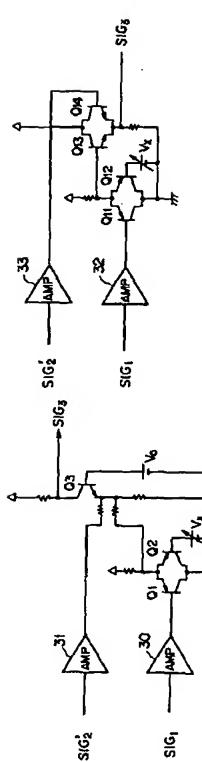
[図11]



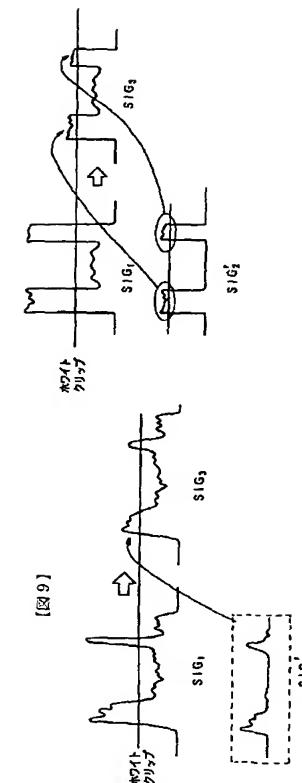
[図12]



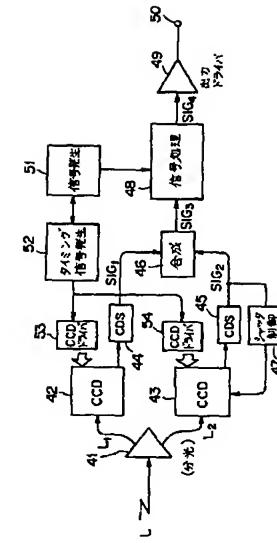
[図13]



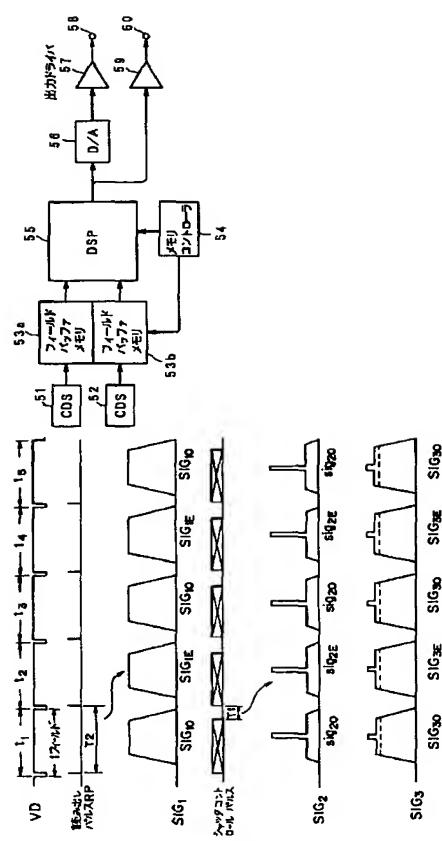
[図10]



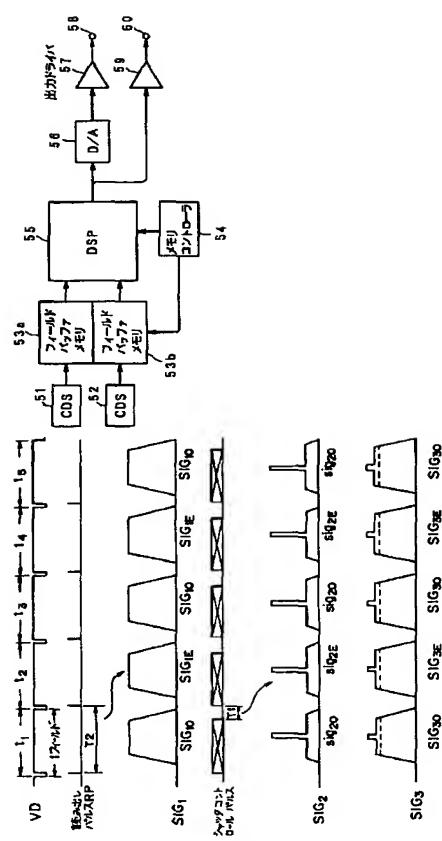
[図1]



[図1.4]



[図1.5]



[図1.6]

